

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Genichi TANAKA)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: October 22, 2003)	Confirmation No.: Unassigned
)	
For: TIMING INFORMATION)	
GENERATING APPARATUS)	

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2003-115940

Filed: April 21, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATTHEWS, L.L.P.

Date: October 22, 2003

By:

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : April 21, 2003

Application Number : Japanese Patent Application No. 2003-115940

Applicant(s) : Renesas Technology Corp.

This 5th day of June, 2003

Commissioner,
Japan Patent Office Shinichiro OTA

Certificate No. 2003-3043786

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月21日

出 願 番 号

Application Number:

特願2003-115940

[ST.10/C]:

[JP 2003-115940]

出 願 人

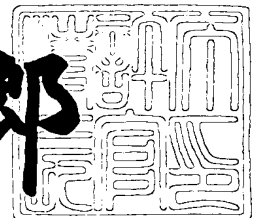
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3043786

【書類名】 特許願

【整理番号】 542730JP01

【提出日】 平成15年 4月21日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/50

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 田中 玄一

【特許出願人】

 【識別番号】 503121103

 【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

 【識別番号】 100066474

 【弁理士】

 【氏名又は名称】 田澤 博昭

【選任した代理人】

 【識別番号】 100088605

 【弁理士】

 【氏名又は名称】 加藤 公延

【手数料の表示】

 【予納台帳番号】 020640

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 タイミング情報生成装置

【特許請求の範囲】

【請求項 1】 所定の機能ブロックのタイミング情報を生成するタイミング情報生成装置において、

上記機能ブロックを構成する回路素子間、回路素子と入力ピンとの間及び回路素子と出力ピンとの間の接続関係が記述された論理接続情報と上記機能ブロックの設計に使用するセルが登録されたライブラリとを照合して、上記機能ブロック内に位置し、上記入力ピンを介して上記機能ブロック外に位置するブロック外入力部順序回路との間での情報伝搬に寄与するブロック内入力部順序回路及び上記出力ピンを介して上記機能ブロック外に位置するブロック外出力部順序回路との間での情報伝搬に寄与するブロック内出力部順序回路を特定する入出力情報特定装置と、

上記機能ブロックに関するタイミング制約が記述されたタイミング制約情報に基づいて、上記入力ピンから上記ブロック内入力部順序回路までの第 1 の遅延時間及び上記ブロック内出力部順序回路から上記出力ピンまでの第 2 の遅延時間を設定する遅延時間設定装置と、

上記第 1 及び第 2 の遅延時間を含んだタイミング情報を出力するタイミング情報出力装置と

を備えたタイミング情報生成装置。

【請求項 2】 遅延時間設定装置は、すべての入力ピン及び出力ピンがちょうどタイミング制約情報に記述された条件を満たすように、第 1 及び第 2 の遅延時間を設定することを特徴とする請求項 1 記載のタイミング情報生成装置。

【請求項 3】 遅延時間設定装置は、すべての入力ピン及び出力ピンが一律に同じ余裕時間を持ってタイミング制約情報に記述された条件を満たすように、第 1 及び第 2 の遅延時間を設定することを特徴とする請求項 1 記載のタイミング情報生成装置。

【請求項 4】 遅延時間設定装置は、入力ピン及び出力ピン毎に異なる余裕時間を持ってタイミング制約情報に記述された条件を満たすように、第 1 及び第

2の遅延時間を設定することを特徴とする請求項1記載のタイミング情報生成装置。

【請求項5】 すべての入力ピン及び出力ピンが一律に同じ不足時間を持ってタイミング制約情報に記述された条件を満たさないように、第1及び第2の遅延時間を設定することを特徴とする請求項1記載のタイミング情報生成装置。

【請求項6】 入力ピン及び出力ピン毎に異なる不足時間を持ってタイミング制約情報に記述された条件を満たさないように、第1及び第2の遅延時間を設定することを特徴とする請求項1記載のタイミング情報生成装置。

【請求項7】 出力ピンを駆動するセルとして、ライブラリに登録されている所定のセルを指定する駆動セル指定装置を備えたことを特徴とする請求項1記載のタイミング情報生成装置。

【請求項8】 駆動セル指定装置は、出力ピンを駆動するセルとして、すべての出力ピンに対して一律に、同じセルを指定することを特徴とする請求項7記載のタイミング情報生成装置。

【請求項9】 駆動セル指定装置は、出力ピンを駆動するセルとして、出力ピン毎に個別に、所定のセルを指定することを特徴とする請求項7記載のタイミング情報生成装置。

【請求項10】 入力ピン及び出力ピンの機能ブロック内の負荷容量として、所定の容量を指定する負荷容量指定装置を備えたことを特徴とする請求項7記載のタイミング情報生成装置。

【請求項11】 負荷容量指定装置は、入力ピン及び出力ピンの機能ブロック内の負荷容量として、すべての入力ピン及び出力ピンに対して一律に、同じ容量を指定することを特徴とする請求項10記載のタイミング情報生成装置。

【請求項12】 負荷容量指定装置は、入力ピンの機能ブロック内の負荷容量として、入力ピン毎に個別に、所定の容量を指定することを特徴とする請求項10記載のタイミング情報生成装置。

【請求項13】 負荷容量指定装置は、入力ピンの機能ブロック内の負荷容量として、出力ピン毎に個別に、所定の容量を指定することを特徴とする請求項10記載のタイミング情報生成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体集積回路を設計する際に行われるタイミング検証に用いられるタイミング情報を生成するタイミング情報生成装置に関するものである。

【0002】

【従来の技術】

半導体集積回路は、下位の機能ブロックの設計を行い、その結果を用いて上位の機能ブロックの設計を行うことを順次繰り返すボトムアップ設計により設計される場合がある。この場合、下位の機能ブロックの設計後及び上位の機能ブロックの設計後にそれぞれタイミング検証が行われる。上位の機能ブロックのタイミング検証では、下位の機能ブロックのタイミング検証により得られたタイミング情報が用いられる。

【0003】

なお、本発明に関連する技術として、以下の特許文献1は、ブロックにより階層設計されたハードウェアをブロックごとに最適化する際に、ブロック間にまたがったパスに対して、パスへの制約をブロックごとに適切に分配する制約を生成する論理合成用制約生成処理装置を開示する。

【0004】

【特許文献1】

特開2000-215224号公報

【0005】

【発明が解決しようとする課題】

半導体集積回路のボトムアップ設計は以上のように行われ、下位の機能ブロックを設計する工程ですべての下位の機能ブロックの設計が完了し、その後のタイミング検証がすべての下位の機能ブロックについて行われることが望ましい。しかし、下位の機能ブロックを設計する工程で一部の下の機能ブロックの設計が完了せず、その後のタイミング検証がその一部の下の機能ブロックについて行われない場合がある。この場合、上位の機能ブロックのタイミング検証は、その

一部の下位の機能ブロックに関するタイミング情報が得られていないため、その一部の下位の機能ブロックを考慮せずに行なわれる。このため、上位の機能ブロックのタイミング検証が不十分になる場合があるという課題があった。

【0006】

この発明は上記のような課題を解決するためになされたもので、一部の下位の機能ブロックの設計が完了しておらず、その一部の下位の機能ブロックのタイミング検証が行われていない場合でも、上位の機能ブロックのタイミング検証を十分に行なうことを可能とするために、設計が完了していない機能ブロックに関するタイミング情報を生成するタイミング情報生成装置を得ることを目的とする。

【0007】

【課題を解決するための手段】

この発明に係るタイミング情報生成装置は、論理接続情報とライブラリとを照合して、所定の機能ブロック内に位置し、入力ピンを介してその機能ブロック外に位置するブロック外入力部順序回路との間での情報伝搬に寄与するブロック内入力部順序回路及び出力ピンを介してその機能ブロック外に位置するブロック外出力部順序回路との間での情報伝搬に寄与するブロック内出力部順序回路を特定する入出力情報特定装置と、タイミング制約情報に基づいて、入力ピンからブロック内入力部順序回路までの第1の遅延時間及びブロック内出力部順序回路から出力ピンまでの第2の遅延時間を設定する遅延時間設定装置と、第1及び第2の遅延時間を含んだタイミング情報を出力するタイミング情報出力装置とを備えたものである。

【0008】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態1.

図1はこの発明の実施の形態1によるタイミング情報生成装置を示すブロック図である。

タイミング情報生成装置1は、入出力情報特定装置2と遅延時間設定装置3とタイミング情報出力装置4とを備える。論理接続情報5には、各機能ブロックを

構成する回路素子間、回路素子と入力ピンとの間及び回路素子と出力ピンとの間の接続関係が記述されている。タイミング制約情報 6 には、各機能ブロックに関するタイミング制約として、例えば、クロック信号の周期、クロックスキュー、タイミング検証の例外処理を行うパス（例えば、フォールスパス（false_path）、ディスエーブルパス（disable_path）、マルチサイクルパス（multicycle_path））、入力ピンの当該機能ブロック外の負荷容量、入力ピンの当該機能ブロック外の負荷抵抗、入力ピンを駆動するセルまたはその駆動能力、当該機能ブロック外の順序回路から入力ピンまでの遅延時間、出力ピンの当該機能ブロック外の負荷容量、出力ピンの当該機能ブロック外の負荷抵抗、出力ピンから当該機能ブロック外の順序回路までの遅延時間が記述されている。ライブラリ 7 には、各機能ブロックの設計に使用するセルが登録されている。

【 0 0 0 9 】

入出力情報特定装置 2 は、論理接続情報 5 とライブラリ 7 とを照合して、設計が完了していない機能ブロック内に位置し、入力ピンを介して当該機能ブロック外の順序回路（以下、ブロック外入力部順序回路という）との間での情報伝搬に寄与する順序回路（以下、ブロック内入力部順序回路という）及び出力ピンを介して当該機能ブロック外の順序回路（以下、ブロック外出力部順序回路という）との間での情報伝搬に寄与する順序回路（以下、ブロック内出力部順序回路という）を特定する。ブロック内入力部順序回路は、入力ピンから信号伝搬の方向に進んだときに最初に到達する順序回路であり、ブロック外入力部順序回路は、入力ピンから信号伝搬と逆方向に進んだときに最初に到達する順序回路であり、ブロック内出力部順序回路は、出力ピンから信号伝搬と逆方向に進んだときに最初に到達する順序回路であり、ブロック外出力部順序回路は、出力ピンから信号伝搬の方向に進んだときに最初に到達する順序回路である。

【 0 0 1 0 】

遅延時間設定装置 3 は、タイミング制約情報 6 に基づいて、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間を設定する。

具体的には、この実施の形態では、すべての入力ピン及び出力ピンがちょうど

タイミング制約情報 6 に記述された条件を満たすように、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間を設定する。このため、この実施の形態では、遅延時間設定装置 3 は、タイミング制約情報 6 に記述された、ブロック内入力部順序回路に与えられるクロック信号とブロック外入力部順序回路に与えられるクロック信号とからブロック外入力部順序回路からブロック内入力部順序回路への情報伝搬時間 T_1 を求め、タイミング制約情報 6 に記述された、ブロック内出力部順序回路に与えられるクロック信号とブロック外出力部順序回路に与えられるクロック信号とからブロック内出力部順序回路からブロック外出力部順序回路への情報伝搬時間 T_2 を求める。そして、タイミング制約情報 6 に記述された、ブロック外入力部順序回路から入力ピンまでの遅延時間 T_3 と上述したブロック外入力部順序回路からブロック内入力部順序回路への情報伝搬時間 T_1 とを用いて、入力ピンからブロック内入力部順序回路までの遅延時間 T_4 を $T_1 - T_3$ から求め、タイミング制約情報 6 に記述された、出力ピンからブロック外出力部順序回路までの遅延時間 T_5 と上述したブロック内出力部順序回路からブロック外出力部順序回路への情報伝搬時間 T_2 とを用いて、ブロック内出力部順序回路から出力ピンまでの遅延時間 T_6 を $T_2 - T_5$ から求める。

【 0 0 1 1 】

タイミング情報出力装置 4 は、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間を含んだタイミング情報 8 を出力する。

【 0 0 1 2 】

次に動作について説明する。

図 2 は図 1 に示すタイミング情報生成装置の動作を示すフローチャートである。

先ず、入出力情報特定装置 2 が論理接続情報 5 を受け取る。そして、論理接続情報 5 とライブラリ 7 とを照合し、ブロック外入力部順序回路との間での情報伝搬に寄与するブロック内入力部順序回路及びブロック外出力部順序回路との間での情報伝搬に寄与するブロック内出力部順序回路を特定する（ステップ S T 1）

【 0 0 1 3 】

図 3 は設計が完了していない機能ブロックに関する、論理接続情報とライブラリとの照合結果を表す模式図である。図 4 は設計が完了していない機能ブロックに関する、論理接続情報とライブラリとの照合結果に基づいて、ブロック内入力部順序回路及びブロック内出力部順序回路を特定した結果を表す模式図である。

例えば、図 3 に示すように、設計が完了していない機能ブロックに関する、論理接続情報とライブラリとの照合の結果、第 1 の入力ピン 1 0 1 と第 1 の出力ピン 1 0 2 との間に、4 つの組合せ回路部 1 0 3 ～ 1 0 6 と 3 つの順序回路 1 0 7 ～ 1 0 9 とが位置し、第 2 の入力ピン 1 1 1 と第 2 の出力ピン 1 1 2 との間に、4 つの組合せ回路部 1 1 3 ～ 1 1 6 と 3 つの順序回路 1 1 7 ～ 1 1 9 とが位置する場合、図 4 に示すように、順序回路 1 0 7 と順序回路 1 1 7 とがブロック内入力部順序回路に特定され、順序回路 1 0 9 と順序回路 1 1 9 とがブロック内出力部順序回路に特定される。なお、各組合せ回路部 1 0 3 ～ 1 0 6, 1 1 3 ～ 1 1 6 は、1 つの組合せ回路からなる場合もあるし、複数の組合せ回路からなる場合もあるし、組合せ回路が存在しない場合もある。

【 0 0 1 4 】

その後、遅延時間設定装置 3 が、タイミング制約情報 6 と入出力情報特定装置 2 から出力された特定結果とを受け取る。そして、タイミング制約情報 6 に基づいて、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間を設定する（ステップ S T 2）。

具体的には、この実施の形態では、遅延時間設定装置 3 が、タイミング制約情報 6 に記述された、ブロック内入力部順序回路に与えられるクロック信号とブロック外入力部順序回路に与えられるクロック信号とからブロック外入力部順序回路からブロック内入力部順序回路への情報伝搬時間 T 1 を求め、タイミング制約情報 6 に記述された、ブロック内出力部順序回路に与えられるクロック信号とブロック外出力部順序回路に与えられるクロック信号とからブロック内出力部順序回路からブロック外出力部順序回路への情報伝搬時間 T 2 を求める。そして、タイミング制約情報 6 に記述された、ブロック外入力部順序回路から入力ピンまで

の遅延時間 T_3 と上述したブロック外入力部順序回路からブロック内入力部順序回路への情報伝搬時間 T_1 とを用いて、入力ピンからブロック内入力部順序回路までの遅延時間 T_4 を $T_1 - T_3$ から求め、タイミング制約情報 6 に記述された、出力ピンからブロック外出力部順序回路までの遅延時間 T_5 と上述したブロック内出力部順序回路からブロック外出力部順序回路への情報伝搬時間 T_2 とを用いて、ブロック内出力部順序回路から出力ピンまでの遅延時間 T_6 を $T_2 - T_5$ から求める。

【0015】

図 5 及び図 6 は実施の形態 1 のタイミング情報生成装置を構成する遅延時間設定装置の動作説明に用いる模式図であり、タイミング制約情報に基づいて、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間を設定する方法を示す。

例えば、図 5 に示すように、第 1 及び第 2 のブロック内入力部順序回路 107, 117、第 1 及び第 2 のブロック外入力部順序回路 121, 123、第 1 及び第 2 のブロック内出力部順序回路 109, 119、並びに第 1 及び第 2 のブロック外出力部順序回路 122, 124 に与えられるクロック信号（図 5 では、CLK と表示）が同じである場合、第 1 のブロック外入力部順序回路 121 から第 1 のブロック内入力部順序回路 107 への情報伝搬時間、第 1 のブロック内出力部順序回路 109 から第 1 のブロック外出力部順序回路 122 への情報伝搬時間、第 2 のブロック外入力部順序回路 123 から第 2 のブロック内入力部順序回路 117 への情報伝搬時間及び第 2 のブロック内出力部順序回路 119 から第 2 のブロック外出力部順序回路 124 への情報伝搬時間は、そのクロック信号の周期に一致する。そのクロック信号の周期が 10 ns であり、第 1 のブロック外入力部順序回路 121 から第 1 の入力ピン 101 までの遅延時間が 3 ns 、第 1 の出力ピン 102 から第 1 のブロック外出力部順序回路 122 までの遅延時間が 6 ns 、第 2 のブロック外入力部順序回路 123 から第 2 の入力ピン 111 までの遅延時間が 2.5 ns 、第 2 の出力ピン 112 から第 2 のブロック外出力部順序回路 124 までの遅延時間が 6.5 ns である場合、第 1 の入力ピン 101 から第 1 のブロック内入力部順序回路 107 までの遅延時間が 7 ns ($10\text{ ns} - 3\text{ ns}$

）、第1のブロック内出力部順序回路109から第1の出力ピン102までの遅延時間が4 ns (10 ns - 6 ns)、第2の入力ピン111から第2のブロック内入力部順序回路117までの遅延時間が7.5 ns (10 ns - 2.5 ns)、第2のブロック内出力部順序回路119から第2の出力ピン112までの遅延時間が3.5 ns (10 ns - 6.5 ns) に設定される。

【0016】

また、例えば、図6(a)に示すように、第1及び第2のブロック内入力部順序回路107、117並びに第1及び第2のブロック内出力部順序回路109、119に与えられるクロック信号(図6(a)では、CLK0と表示)と第1及び第2のブロック外入力部順序回路121、123並びに第1及び第2のブロック外出力部順序回路122、124に与えられるクロック信号(図6(a)では、CLK1と表示)とが、周期が10 nsで同じあるが、タイミングが図6(b)に示すように8 nsずれている場合、クロック信号の立ち上がりで情報を授受するとき、第1のブロック外入力部順序回路121から第1のブロック内入力部順序回路107への情報伝搬時間及び第2のブロック外入力部順序回路123から第2のブロック内入力部順序回路117への情報伝搬時間は8 nsであり、第1のブロック内出力部順序回路109から第1のブロック外出力部順序回路122への情報伝搬時間及び第2のブロック内出力部順序回路119から第2のブロック外出力部順序回路124への情報伝搬時間は12 nsである。第1のブロック外入力部順序回路121から第1の入力ピン101までの遅延時間が3 ns、第1の出力ピン102から第1のブロック外出力部順序回路122までの遅延時間が6 ns、第2のブロック外入力部順序回路123から第2の入力ピン111までの遅延時間が2.5 ns、第2の出力ピン112から第2のブロック外出力部順序回路124までの遅延時間が6.5 nsである場合、第1の入力ピン101から第1のブロック内入力部順序回路107までの遅延時間が5 ns (8 ns - 3 ns)、第1のブロック内出力部順序回路109から第1の出力ピン102までの遅延時間が6 ns (12 ns - 6 ns)、第2の入力ピン111から第2のブロック内入力部順序回路117までの遅延時間が5.5 ns (8 ns - 2.5 ns)、第2のブロック内出力部順序回路119から第2の出力ピン112ま

での遅延時間が 5.5 ns ($12\text{ ns} - 6.5\text{ ns}$) に設定される。

【0017】

その後、タイミング情報出力装置4が、遅延時間設定装置3から出力された設定結果を受け取る。そして、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間を含んだタイミング情報8を出力する（ステップST3）。

【0018】

以上のように、この実施の形態1によれば、設計が完了していない機能ブロックにおける、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間の設定を行い、それらの遅延時間を含んだタイミング情報を生成するので、一部の下位の機能ブロックの設計が完了しておらず、その一部の下位の機能ブロックのタイミング検証が行われていない場合でも、上位の機能ブロックのタイミング検証を十分に行なうことができる。

【0019】

実施の形態2.

この実施の形態では、すべての入力ピン及び出力ピンが一律に同じ余裕時間を持ってタイミング制約情報6に記述された条件を満たすように、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間を設定する。

【0020】

具体的には、この実施の形態では、遅延時間設定装置3は、タイミング制約情報6に記述された、ブロック内入力部順序回路に与えられるクロック信号とブロック外入力部順序回路に与えられるクロック信号とからブロック外入力部順序回路からブロック内入力部順序回路への情報伝搬時間 T_1 を求め、タイミング制約情報6に記述された、ブロック内出力部順序回路に与えられるクロック信号とブロック外出力部順序回路に与えられるクロック信号とからブロック内出力部順序回路からブロック外出力部順序回路への情報伝搬時間 T_2 を求める。そして、すべての入力ピン及び出力ピンに対する余裕時間が一律に t_1 に規定されている場

合、タイミング制約情報 6 に記述された、ブロック外入力部順序回路から入力ピンまでの遅延時間 T_3 と上述したブロック外入力部順序回路からブロック内入力部順序回路への情報伝搬時間 T_1 とを用いて、入力ピンからブロック内入力部順序回路までの遅延時間 T_4 を $T_1 - T_3 - t_1$ から求め、タイミング制約情報 6 に記述された、出力ピンからブロック外出力部順序回路までの遅延時間 T_5 と上述したブロック内出力部順序回路からブロック外出力部順序回路への情報伝搬時間 T_2 とを用いて、ブロック内出力部順序回路から出力ピンまでの遅延時間 T_6 を $T_2 - T_5 - t_1$ から求める。

【0021】

入力ピン及び出力ピンに対する余裕時間は、例えば、①タイミング制約情報 6 に記述されたクロック信号の周期、②タイミング情報 6 に記述された遅延時間、③使用するプロセス条件に基づいて、遅延時間設定装置 3 により一律に規定される。入力ピン及び出力ピンに対する余裕時間は、ユーザが経験により一律に決定する場合もある。ユーザが決定する場合には、遅延時間設定装置 3 は、図示しない入力手段を介してユーザにより入力された情報に従って入力ピン及び出力ピンに対する余裕時間を規定する。

【0022】

図 7 は実施の形態 2 のタイミング情報生成装置を構成する遅延時間設定装置の動作説明に用いる模式図である。

例えば、図 7 に示すように、第 1 及び第 2 のブロック内入力部順序回路 107, 117、第 1 及び第 2 のブロック外入力部順序回路 121, 123、第 1 及び第 2 のブロック内出力部順序回路 109, 119、並びに第 1 及び第 2 のブロック外出力部順序回路 122, 124 に与えられるクロック信号（図 7 では、CLK と表示）が同じであり、その周期が 10 ns である場合、第 1 のブロック外入力部順序回路 121 から第 1 の入力ピン 101 までの遅延時間が 3 ns 、第 1 の出力ピン 102 から第 1 のブロック外出力部順序回路 122 までの遅延時間が 6 ns 、第 2 のブロック外入力部順序回路 123 から第 2 の入力ピン 111 までの遅延時間が 2.5 ns 、第 2 の出力ピン 112 から第 2 のブロック外出力部順序回路 124 までの遅延時間が 6.5 ns であり、すべての入力ピン及び出力ピン

に対する余裕時間が 0.5 ns であるとき、第 1 の入力ピン 1 0 1 から第 1 のブロック内入力部順序回路 1 0 7 までの遅延時間が 6.5 ns ($10 \text{ ns} - 3 \text{ ns} - 0.5 \text{ ns}$)、第 1 のブロック内出力部順序回路 1 0 9 から第 1 の出力ピン 1 0 2 までの遅延時間が 3.5 ns ($10 \text{ ns} - 6 \text{ ns} - 0.5 \text{ ns}$)、第 2 の入力ピン 1 1 1 から第 2 のブロック内入力部順序回路 1 1 7 までの遅延時間が 7 ns ($10 \text{ ns} - 2.5 \text{ ns} - 0.5 \text{ ns}$)、第 2 のブロック内出力部順序回路 1 1 9 から第 2 の出力ピン 1 1 2 までの遅延時間が 3 ns ($10 \text{ ns} - 6.5 \text{ ns} - 0.5 \text{ ns}$) に設定される。

【 0 0 2 3 】

以上のように、この実施の形態 2 によれば、設計が完了していない機能ブロックにおける、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間の設定を行い、それらの遅延時間を含んだタイミング情報を生成するので、実施の形態 1 と同様の効果が得られる。

【 0 0 2 4 】

実施の形態 3.

この実施の形態では、入力ピン及び出力ピン毎に異なる余裕時間を持ってタイミング制約情報 6 に記述された条件を満たすように、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間を設定する。

【 0 0 2 5 】

具体的には、この実施の形態では、遅延時間設定装置 3 は、タイミング制約情報 6 に記述された、ブロック内入力部順序回路に与えられるクロック信号とブロック外入力部順序回路に与えられるクロック信号とからブロック外入力部順序回路からブロック内入力部順序回路への情報伝搬時間 T_1 を求め、ブロック内出力部順序回路に与えられるクロック信号とブロック外出力部順序回路に与えられるクロック信号とからブロック内出力部順序回路からブロック外出力部順序回路への情報伝搬時間 T_2 を求める。そして、入力ピンに対する余裕時間が t_2 であり、出力ピンに対する余裕時間が t_3 である場合、タイミング制約情報 6 に記述さ

れた、ブロック外入力部順序回路から入力ピンまでの遅延時間 T_3 と上述したブロック外入力部順序回路からブロック内入力部順序回路への情報伝搬時間 T_1 とを用いて、入力ピンからブロック内入力部順序回路までの遅延時間 T_4 を $T_1 - T_3 - t_2$ から求め、タイミング制約情報 6 に記述された、出力ピンからブロック外出力部順序回路までの遅延時間 T_5 と上述したブロック内出力部順序回路からブロック外出力部順序回路への情報伝搬時間 T_2 とを用いて、ブロック内出力部順序回路から出力ピンまでの遅延時間 T_6 を $T_2 - T_5 - t_3$ から求める。

【0026】

入力ピン及び出力ピンに対する余裕時間は、例えば、①タイミング制約情報 6 に記述されたクロック信号の周期、②タイミング情報 6 に記述された遅延時間、③使用するプロセス条件に基づいて、遅延時間設定装置 3 により個別に規定される。入力ピン及び出力ピンに対する余裕時間は、ユーザが経験により個別に決定する場合もある。ユーザが決定する場合には、遅延時間設定装置 3 は、図示しない入力手段を介してユーザにより入力された情報に従って入力ピン及び出力ピンに対する余裕時間を規定する。

【0027】

図 8 は実施の形態 3 のタイミング情報生成装置を構成する遅延時間設定装置の動作説明に用いる模式図である。

例えば、図 8 に示すように、第 1 及び第 2 のブロック内入力部順序回路 107, 117、第 1 及び第 2 のブロック外入力部順序回路 121, 123、第 1 及び第 2 のブロック内出力部順序回路 109, 119、並びに第 1 及び第 2 のブロック外出力部順序回路 122, 124 に与えられるクロック信号（図 8 では、CLK と表示）が同じであり、その周期が 10 ns である場合、第 1 のブロック外入力部順序回路 121 から第 1 の入力ピン 101 までの遅延時間が 3 ns 、第 1 の出力ピン 102 から第 1 のブロック外出力部順序回路 122 までの遅延時間が 6 ns 、第 2 のブロック外入力部順序回路 123 から第 2 の入力ピン 111 までの遅延時間が 2.5 ns 、第 2 の出力ピン 112 から第 2 のブロック外出力部順序回路 124 までの遅延時間が 6.5 ns であり、第 1 の入力ピン 101 に対する余裕時間が 0.5 ns 、第 1 の出力ピン 102 に対する余裕時間が 0.3 ns 、

第2の入力ピン111に対する余裕時間が0.4 ns、第2の出力ピン112に対する余裕時間が0.2 nsであるとき、第1の入力ピン101から第1のブロック内入力部順序回路107までの遅延時間が6.5 ns ($10\text{ ns} - 3\text{ ns} - 0.5\text{ ns}$)、第1のブロック内出力部順序回路109から第1の出力ピン102までの遅延時間が3.7 ns ($10\text{ ns} - 6\text{ ns} - 0.3\text{ ns}$)、第2の入力ピン111から第2のブロック内入力部順序回路117までの遅延時間が7.1 ns ($10\text{ ns} - 2.5\text{ ns} - 0.4\text{ ns}$)、第2のブロック内出力部順序回路119から第2の出力ピン112までの遅延時間が3.3 ns ($10\text{ ns} - 6.5\text{ ns} - 0.2\text{ ns}$)に設定される。

【0028】

以上のように、この実施の形態3によれば、設計が完了していない機能ブロックにおける、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間の設定を行い、それらの遅延時間を含んだタイミング情報を生成するので、実施の形態1と同様の効果が得られる。

【0029】

実施の形態4.

この実施の形態では、すべての入力ピン及び出力ピンが一律に同じ不足時間を持ってタイミング制約情報6に記述された条件を満たさないように、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間を設定する。

【0030】

具体的には、この実施の形態では、遅延時間設定装置3は、タイミング制約情報6に記述された、ブロック内入力部順序回路に与えられるクロック信号とブロック外入力部順序回路に与えられるクロック信号とからブロック外入力部順序回路からブロック内入力部順序回路への情報伝搬時間T1を求め、タイミング制約情報6に記述された、ブロック内出力部順序回路に与えられるクロック信号とブロック外出力部順序回路に与えられるクロック信号とからブロック内出力部順序回路からブロック外出力部順序回路への情報伝搬時間T2を求める。そして、す

すべての入力ピン及び出力ピンに対する不足時間が一律に t_4 に規定されている場合、タイミング制約情報 6 に記述された、ブロック外入力部順序回路から入力ピンまでの遅延時間 T_3 と上述したブロック外入力部順序回路からブロック内入力部順序回路への情報伝搬時間 T_1 とを用いて、入力ピンからブロック内入力部順序回路までの遅延時間 T_4 を $T_1 - T_3 + t_4$ から求め、タイミング制約情報 6 に記述された、出力ピンからブロック外出力部順序回路までの遅延時間 T_5 と上述したブロック内出力部順序回路からブロック外出力部順序回路への情報伝搬時間 T_2 とを用いて、ブロック内出力部順序回路から出力ピンまでの遅延時間 T_6 を $T_2 - T_5 + t_4$ から求める。

【0031】

入力ピン及び出力ピンに対する不足時間は、例えば、①タイミング制約情報 6 に記述されたクロック信号の周期、②タイミング情報 6 に記述された遅延時間、③使用するプロセス条件に基づいて、遅延時間設定装置 3 により一律に規定される。入力ピン及び出力ピンに対する不足時間は、ユーザが経験により一律に決定する場合もある。ユーザが決定する場合には、遅延時間設定装置 3 は、図示しない入力手段を介してユーザにより入力された情報に従って入力ピン及び出力ピンに対する不足時間を規定する。

【0032】

図 9 は実施の形態 4 のタイミング情報生成装置を構成する遅延時間設定装置の動作説明に用いる模式図である。

例えば、図 9 に示すように、第 1 及び第 2 のブロック内入力部順序回路 107, 117、第 1 及び第 2 のブロック外入力部順序回路 121, 123、第 1 及び第 2 のブロック内出力部順序回路 109, 119、並びに第 1 及び第 2 のブロック外出力部順序回路 122, 124 に与えられるクロック信号（図 9 では、CLK と表示）が同じであり、その周期が 10 ns である場合、第 1 のブロック外入力部順序回路 121 から第 1 の入力ピン 101 までの遅延時間が 3 ns 、第 1 の出力ピン 102 から第 1 のブロック外出力部順序回路 122 までの遅延時間が 6 ns 、第 2 のブロック外入力部順序回路 123 から第 2 の入力ピン 111 までの遅延時間が 2.5 ns 、第 2 の出力ピン 112 から第 2 のブロック外出力部順序

回路124までの遅延時間が 6.5 ns であり、すべての入力ピン及び出力ピンに対する不足時間が 0.5 ns であるとき、第1の入力ピン101から第1のブロック内入力部順序回路107までの遅延時間が 7.5 ns ($10\text{ ns} - 3\text{ ns} + 0.5\text{ ns}$)、第1のブロック内出力部順序回路109から第1の出力ピン102までの遅延時間が 4.5 ns ($10\text{ ns} - 6\text{ ns} + 0.5\text{ ns}$)、第2の入力ピン111から第2のブロック内入力部順序回路117までの遅延時間が 8 ns ($10\text{ ns} - 2.5\text{ ns} + 0.5\text{ ns}$)、第2のブロック内出力部順序回路119から第2の出力ピン112までの遅延時間が 4 ns ($10\text{ ns} - 6.5\text{ ns} + 0.5\text{ ns}$)に設定される。

【0033】

以上のように、この実施の形態4によれば、設計が完了していない機能ブロックにおける、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間の設定を行い、それらの遅延時間を含んだタイミング情報を生成するので、実施の形態1と同様の効果が得られる。

【0034】

実施の形態5.

この実施の形態では、入力ピン及び出力ピン毎に異なる不足時間を持ってタイミング制約情報6に記述された条件を満たさないように、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間を設定する。

【0035】

具体的には、この実施の形態では、遅延時間設定装置3は、タイミング制約情報6に記述された、ブロック内入力部順序回路に与えられるクロック信号とブロック外入力部順序回路に与えられるクロック信号とからブロック外入力部順序回路からブロック内入力部順序回路への情報伝搬時間 T_1 を求め、タイミング制約情報6に記述された、ブロック内出力部順序回路に与えられるクロック信号とブロック外出力部順序回路に与えられるクロック信号とからブロック内出力部順序回路からブロック外出力部順序回路への情報伝搬時間 T_2 を求める。そして、入

力ピンに対する余裕時間が t_5 であり、出力ピンに対する余裕時間が t_6 である場合、タイミング制約情報 6 に記述された、ブロック外入力部順序回路から入力ピンまでの遅延時間 T_3 と上述したブロック外入力部順序回路からブロック内入力部順序回路への情報伝搬時間 T_1 とを用いて、入力ピンからブロック内入力部順序回路までの遅延時間 T_4 を $T_1 - T_3 + t_5$ から求め、タイミング制約情報 6 に記述された、出力ピンからブロック外出力部順序回路までの遅延時間 T_5 と上述したブロック内出力部順序回路からブロック外出力部順序回路への情報伝搬時間 T_2 とを用いて、ブロック内出力部順序回路から出力ピンまでの遅延時間 T_6 を $T_2 - T_5 + t_6$ から求める。

【 0 0 3 6 】

入力ピン及び出力ピンに対する不足時間は、例えば、①タイミング制約情報 6 に記述されたクロック信号の周期、②タイミング情報 6 に記述された遅延時間、③使用するプロセス条件に基づいて、遅延時間設定装置 3 により個別に規定される。入力ピン及び出力ピンに対する不足時間は、ユーザが経験により個別に決定する場合もある。ユーザが決定する場合には、遅延時間設定装置 3 は、図示しない入力手段を介してユーザにより入力された情報に従って入力ピン及び出力ピンに対する余裕時間を規定する。

【 0 0 3 7 】

図 1 0 は実施の形態 5 のタイミング情報生成装置を構成する遅延時間設定装置の動作説明に用いる模式図である。

例えば、図 1 0 に示すように、第 1 及び第 2 のブロック内入力部順序回路 1 0 7, 1 1 7、第 1 及び第 2 のブロック外入力部順序回路 1 2 1, 1 2 3、第 1 及び第 2 のブロック内出力部順序回路 1 0 9, 1 1 9、並びに第 1 及び第 2 のブロック外出力部順序回路 1 2 2, 1 2 4 に与えられるクロック信号（図 1 0 では、CLK と表示）が同じであり、その周期が 10 ns である場合、第 1 のブロック外入力部順序回路 1 2 1 から第 1 の入力ピン 1 0 1 までの遅延時間が 3 ns 、第 1 の出力ピン 1 0 2 から第 1 のブロック外出力部順序回路 1 2 2 までの遅延時間が 6 ns 、第 2 のブロック外入力部順序回路 1 2 3 から第 2 の入力ピン 1 1 1 までの遅延時間が 2.5 ns 、第 2 の出力ピン 1 1 2 から第 2 のブロック外出力部

順序回路 124 までの遅延時間が 6.5 ns であり、第 1 の入力ピン 101 に対する不足時間が 0.5 ns 、第 1 の出力ピン 102 に対する不足時間が 0.3 ns 、第 2 の入力ピン 111 に対する不足時間が 0.4 ns 、第 2 の出力ピン 112 に対する不足時間が 0.2 ns であるとき、第 1 の入力ピン 101 から第 1 のブロック内入力部順序回路 107 までの遅延時間が 7.5 ns ($10\text{ ns} - 3\text{ ns} + 0.5\text{ ns}$)、第 1 のブロック内出力部順序回路 109 から第 1 の出力ピン 102 までの遅延時間が 4.3 ns ($10\text{ ns} - 6\text{ ns} + 0.3\text{ ns}$)、第 2 の入力ピン 111 から第 2 のブロック内入力部順序回路 117 までの遅延時間が 7.9 ns ($10\text{ ns} - 2.5\text{ ns} + 0.4\text{ ns}$)、第 2 のブロック内出力部順序回路 119 から第 2 の出力ピン 112 までの遅延時間が 3.7 ns ($10\text{ ns} - 6.5\text{ ns} + 0.2\text{ ns}$) に設定される。

【0038】

以上のように、この実施の形態 5 によれば、設計が完了していない機能ブロックにおける、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間の設定を行い、それらの遅延時間を含んだタイミング情報を生成するので、実施の形態 1 と同様の効果が得られる。

【0039】

実施の形態 6.

この実施の形態は、実施の形態 1 から実施の形態 5 を組み合わせた例である。すなわち、ある入力ピン及び出力ピンに対しては、実施の形態 1 の場合のように、ちょうどタイミング制約情報 6 に記述された条件を満たすように遅延時間を設定し、別の入力ピン及び出力ピンに対しては、実施の形態 2 の場合のように、一律に同じ余裕時間を持ってタイミング制約情報 6 に記述された条件を満たすように遅延時間を設定し、また別の入力ピン及び出力ピンに対しては、実施の形態 3 の場合のように、入力ピン及び出力ピン毎に異なる余裕時間を持ってタイミング制約情報に記述された条件を満たすように遅延時間を設定し、また別の入力ピン及び出力ピンに対しては、実施の形態 4 の場合のように、一律に同じ不足時間を持ってタイミング制約情報 6 に記述された条件を満たさないように遅延時間を設

定し、また別の入力ピン及び出力ピンに対しては、実施の形態 5 の場合のように、入力ピン及び出力ピン毎に異なる余裕時間を持ってタイミング制約情報に記述された条件を満たさないように遅延時間を設定する。

このような場合でも、実施の形態 1 と同様の効果が得られる。

【 0 0 4 0 】

実施の形態 7.

図 1 1 はこの発明の実施の形態 7 によるタイミング情報生成装置を示すブロック図である。

タイミング情報生成装置 1 1 は、入出力情報特定装置 2 と遅延時間設定装置 3 と駆動セル指定装置 1 2 とタイミング情報出力装置 1 3 とを備える。

入出力情報特定装置 2 及び遅延時間設定装置 3 の構成及び動作は実施の形態 1 の場合と同様である。

【 0 0 4 1 】

駆動セル指定装置 1 2 は、論理接続情報 5 から設計が完了していない機能ブロックの出力ピンを特定し、その出力ピンを駆動するセルとして、ライブラリ 7 に登録されている所定のセルを指定する。

具体的には、この実施の形態では、駆動セル指定装置 1 2 は、論理接続情報 5 から設計が完了していない機能ブロックの出力ピンを特定し、その出力ピンを駆動するセルとして、すべての出力ピンに対して一律に、ライブラリ 7 に登録されている同じセルを指定する。

【 0 0 4 2 】

駆動セル指定装置 1 2 は、例えば、ライブラリ 7 に登録されている平均的なセルや使用頻度の高いセルを、すべての出力ピンに対して一律に指定する。出力ピンを駆動するセルは、ユーザが経験により一律に決定する場合もある。ユーザが決定する場合には、駆動セル指定装置 1 2 は、図示しない入力手段を介してユーザにより入力された情報に従って出力ピンを駆動するセルを指定する。

【 0 0 4 3 】

タイミング情報出力装置 1 3 は、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間、並びに

出力ピンを駆動するセルに関する情報を含んだタイミング情報 1 4 を出力する。

【 0 0 4 4 】

次に動作について説明する。

図 1 2 は図 1 1 に示すタイミング情報生成装置の動作を示すフローチャートである。

先ず、入出力情報特定装置 2 が論理接続情報 5 を受け取る。そして、論理接続情報 5 とライブラリ 7 とを照合し、ブロック外入力部順序回路との間での情報伝搬に寄与するブロック内入力部順序回路及びブロック外出力部順序回路との間での情報伝搬に寄与するブロック内出力部順序回路を特定する（ステップ S T 1 1 ）。

【 0 0 4 5 】

その後、遅延時間設定装置 3 が、タイミング制約情報 6 と入出力情報特定装置 2 から出力された特定結果を受け取る。そして、タイミング制約情報 6 に基づいて、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間を設定する（ステップ S T 1 2 ）。

【 0 0 4 6 】

その後、駆動セル指定装置 1 2 が論理接続情報 5 を受け取る。そして、論理接続情報 5 から設計が完了していない機能ブロックの出力ピンを特定し、その出力ピンを駆動するセルとして、ライブラリ 7 に登録されている所定のセルを指定する（ステップ S T 1 3 ）。

具体的には、この実施の形態では、駆動セル指定装置 1 2 が、論理接続情報 5 から設計が完了していない機能ブロックの出力ピンを特定し、その出力ピンを駆動するセルとして、すべての出力ピンに対して一律に、ライブラリ 7 に登録されている同じセルを指定する。

【 0 0 4 7 】

例えば、図 3 に示すように、設計が完了していない機能ブロックが表される場合、1 0 2 及び 1 1 2 が出力ピンとして特定され、組合せ回路部 1 0 6 内の第 1 の出力ピン 1 0 2 を駆動する組合せ回路及び組合せ回路部 1 1 6 内の第 2 の出力ピン 1 1 2 を駆動する組合せ回路に、ライブラリ 7 に登録されている平均的なセ

ルや使用頻度の高いセルが当てはめられる。

【 0 0 4 8 】

その後、タイミング情報出力装置 1 3 が、遅延時間設定装置 3 から出力された設定結果及び駆動セル指定装置 1 2 から出力された指定結果を受け取る。そして、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間、並びに出力ピンを駆動するセルに関する情報を含んだタイミング情報 1 4 を出力する（ステップ S T 1 4）。

【 0 0 4 9 】

以上のように、この実施の形態 7 によれば、設計が完了していない機能ブロックにおける、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間の設定、並びに出力ピンを駆動するセルの指定を行い、それらの遅延時間及び出力ピンを駆動するセルに関する情報を含んだタイミング情報を生成するので、一部の下位の機能ブロックの設計が完了しておらず、その一部の下位の機能ブロックのタイミング検証が行われていない場合でも、上位の機能ブロックのタイミング検証を十分に行なうことができる。

【 0 0 5 0 】

なお、設計が完了していない下位の機能ブロックの出力ピンを駆動するセルが決まれば、上位の機能ブロックのタイミング検証において、その出力ピンから上位の機能ブロックの順序回路までの遅延時間を精度よく計算することができる。その結果、下位の機能ブロックの順序回路から上位の機能ブロックの順序回路までの遅延時間が精度よく決まる。

【 0 0 5 1 】

実施の形態 8.

この実施の形態では、出力ピン毎に個別に、出力ピンを駆動するセルを指定する。

具体的には、この実施の形態では、駆動セル指定装置 1 2 は、論理接続情報 5 から設計が完了していない機能ブロックの出力ピンを特定し、その出力ピンを駆動するセルとして、出力ピン毎に個別に、ライブラリ 7 に登録されている所定の

セルを指定する。

【 0 0 5 2 】

駆動セル指定装置 1 2 は、例えば、タイミング制約情報 6 に記述された出力ピンの当該機能ブロック外の負荷容量や負荷抵抗に基づいた所定のセルを、出力ピン毎に個別に指定する。負荷容量や負荷抵抗が大きい場合には、駆動能力の大きいセルを指定する。出力ピンを駆動するセルは、ユーザが経験により個別に決定する場合もある。ユーザが決定する場合には、駆動セル指定装置 1 2 は、図示しない入力手段を介してユーザにより入力された情報に従って出力ピンを駆動するセルを指定する。

【 0 0 5 3 】

例えば、図 3 に示すように、設計が完了していない機能ブロックが表される場合、1 0 2 及び 1 1 2 が出力ピンとして特定され、組合せ回路部 1 0 6 内の第 1 の出力ピン 1 0 2 を駆動する組合せ回路に、第 1 の出力ピン 1 0 2 の当該機能ブロック外の負荷容量や負荷抵抗に基づいたセルが当てはめられ、組合せ回路部 1 1 6 内の第 2 の出力ピン 1 1 2 を駆動する組合せ回路に、第 2 の出力ピン 1 1 2 の当該機能ブロック外の負荷容量や負荷抵抗に基づいたセルが当てはめらる。

【 0 0 5 4 】

以上のように、この実施の形態 8 によれば、設計が完了していない機能ブロックにおける、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間の設定、並びに出力ピンを駆動するセルの指定を行い、それらの遅延時間及び出力ピンを駆動するセルに関する情報を含んだタイミング情報を生成するので、実施の形態 7 と同様の効果が得られる。

【 0 0 5 5 】

実施の形態 9 .

この実施の形態は、実施の形態 7 と実施の形態 8 とを組み合わせた例である。すなわち、ある出力ピンに対しては、実施の形態 7 の場合のように、すべての出力ピンに対して一律に出力ピンを駆動するセルを指定し、別の出力ピンに対しては、実施の形態 8 の場合のように、出力ピン毎に個別に出力ピンを駆動するセル

を指定する。

このような場合でも、実施の形態 7 と同様の効果が得られる。

【 0 0 5 6 】

実施の形態 1 0 .

図 1 3 はこの発明の実施の形態 1 0 によるタイミング情報生成装置を示すブロック図である。

タイミング情報生成装置 2 1 は、入出力情報特定装置 2 と遅延時間設定装置 3 と駆動セル指定装置 1 2 と負荷容量指定装置 2 2 とタイミング情報出力装置 2 3 とを備える。

入出力情報特定装置 2 及び遅延時間設定装置 3 の構成及び動作は実施の形態 1 の場合と同様である。

駆動セル指定装置 1 2 の構成及び動作は実施の形態 7 の場合と同様である。

【 0 0 5 7 】

負荷容量指定装置 2 2 は、論理接続情報 5 から設計が完了していない機能ブロックの入力ピン及び出力ピンを特定し、その入力ピン及び出力ピンの当該機能ブロック内の負荷容量として、所定の容量を指定する。

具体的には、この実施の形態では、負荷容量指定装置 2 2 は、論理接続情報 5 から設計が完了していない機能ブロックの入力ピン及び出力ピンを特定し、その入力ピン及び出力ピンの当該機能ブロック内の負荷容量として、すべての入力ピン及び出力ピンに対して一律に、同じ容量を指定する。

【 0 0 5 8 】

負荷容量指定装置 2 2 は、例えば、① 1 本のネットにぶらさがる平均的なセル数、② 1 個のセルの平均的な入力ピン容量、③ 1 本のネットの平均的な配線容量、④ タイミングマージンなどに基づいた容量を、すべての入力ピン及び出力ピンに対して一律に指定する。1 本のネットにぶらさがる平均的なセル数や 1 個のセルの平均的な入力ピン容量や 1 本のネットの平均的な配線容量やタイミングマージンが大きい場合には、大きな容量を指定する。入力ピン及び出力ピンの当該機能ブロック内の負荷容量は、ユーザが経験により一律に決定する場合もある。ユーザが決定する場合には、負荷容量指定装置 2 2 は、図示しない入力手段を介

してユーザにより入力された情報に従って入力ピン及び出力ピンの当該機能ブロック内の負荷容量を指定する。

【 0 0 5 9 】

タイミング情報出力装置 2 3 は、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間、出力ピンを駆動するセルに関する情報、並びに入力ピン及び出力ピンの負荷容量に関する情報を含んだタイミング情報 2 4 を出力する。

【 0 0 6 0 】

次に動作について説明する。

図 1 4 は図 1 3 に示すタイミング情報生成装置の動作を示すフローチャートである。

先ず、入出力情報特定装置 2 が論理接続情報 5 を受け取る。そして、論理接続情報 5 とライブラリ 7 とを照合し、ブロック外入力部順序回路との間での情報伝搬に寄与するブロック内入力部順序回路及びブロック外出力部順序回路との間での情報伝搬に寄与するブロック内出力部順序回路を特定する（ステップ S T 2 1 ）。

【 0 0 6 1 】

その後、遅延時間設定装置 3 が、タイミング制約情報 6 と入出力情報特定装置 2 から出力された特定結果を受け取る。そして、タイミング制約情報 6 に基づいて、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間を設定する（ステップ S T 2 2 ）。

【 0 0 6 2 】

その後、駆動セル指定装置 1 2 が論理接続情報 5 を受け取る。そして、論理接続情報 5 から設計が完了していない機能ブロックの出力ピンを特定し、その出力ピンを駆動するセルとして、ライブラリ 7 に登録されている所定のセルを指定する（ステップ S T 2 3 ）。

【 0 0 6 3 】

その後、負荷容量指定装置 2 2 が論理接続情報 5 を受け取る。そして、論理接続情報 5 から設計が完了していない機能ブロックの入力ピン及び出力ピンを特定

し、その入力ピン及び出力ピンの当該機能ブロック内の負荷容量として、所定の容量を指定する（ステップ S T 2 4）。

具体的には、この実施の形態では、負荷容量指定装置 2 2 が、論理接続情報 5 から設計が完了していない機能ブロックの入力ピン及び出力ピンを特定し、その入力ピン及び出力ピンの当該機能ブロック内の負荷容量として、すべての入力ピン及び出力ピンに対して一律に、同じ容量を指定する。

【 0 0 6 4 】

図 1 5 はタイミング情報生成装置を構成する負荷容量指定装置の動作説明に用いる模式図である。

例えば、図 3 に示すように、設計が完了していない機能ブロックが表される場合、1 0 1 及び 1 1 1 が入力ピン、1 0 2 及び 1 1 2 が出力ピンとして特定され、図 1 5 に示すように、第 1 及び第 2 の入力ピン 1 0 1, 1 1 1 並びに第 1 及び第 2 の出力ピン 1 0 2, 1 1 2 の当該機能ブロック内の負荷容量 1 3 1 ~ 1 3 4 に、1 本のネットにぶらさがる平均的なセル数に基づいた容量が当てはめられる。

【 0 0 6 5 】

その後、タイミング情報出力装置 1 3 が、遅延時間設定装置 3 から出力された設定結果、駆動セル指定装置 1 2 から出力された指定結果及び負荷容量指定装置 2 2 から出力された指定結果を受け取る。そして、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間、出力ピンを駆動するセルに関する情報、並びに入力ピン及び出力ピンの負荷容量に関する情報を含んだタイミング情報を出力する（ステップ S T 2 6）。

【 0 0 6 6 】

以上のように、この実施の形態 1 0 によれば、設計が完了していない機能ブロックにおける、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間の設定、出力ピンを駆動するセルの指定、並びに入力ピン及び出力ピンの当該機能ブロック内の負荷容量の指定を行い、それらの遅延時間、出力ピンを駆動するセルに関する情報、並びに入

カピン及び出力ピンの負荷容量に関する情報を含んだタイミング情報を生成するので、一部の下位の機能ブロックの設計が完了しておらず、その一部の下位の機能ブロックのタイミング検証が行われていない場合でも、上位の機能ブロックのタイミング検証を十分に行なうことができる。

【 0 0 6 7 】

なお、設計が完了していない下位の機能ブロックの入力ピンの当該機能ブロック内の負荷容量が決まれば、上位の機能ブロックのタイミング検証において、上位の機能ブロックの順序回路とその入力ピンまでの遅延時間を精度よく計算することができる。その結果、上位の機能ブロックの順序回路から下位の機能ブロックの順序回路までの遅延時間が精度よく決まる。また、設計が完了していない下位の機能ブロックの出力ピンを駆動するセルとその出力ピンの当該機能ブロック内の負荷容量が決まれば、上位の機能ブロックのタイミング検証において、その出力ピンから上位の機能ブロックの順序回路までの遅延時間を精度よく計算することができる。その結果、下位の機能ブロックの順序回路から上位の機能ブロックの順序回路までの遅延時間が精度よく決まる。

【 0 0 6 8 】

実施の形態 1 1 .

この実施の形態では、入力ピンに対して、入力ピン毎に個別に、負荷容量を指定する。

具体的には、この実施の形態では、負荷容量指定装置 2 2 は、論理接続情報 5 から設計が完了していない機能ブロックの入力ピン及び出力ピンを特定し、その入力ピンの当該機能ブロック内の負荷容量として、入力ピン毎に個別に、所定の容量を指定する。

【 0 0 6 9 】

負荷容量指定装置 2 2 は、例えば、タイミング制約情報 6 に記述された入力ピンを駆動するセルの駆動能力などに基づいた容量を、入力ピン毎に個別に指定する。入力ピンを駆動するセルの駆動能力が大きければ、大きな容量を指定する。入力ピンの当該機能ブロック内の負荷容量は、ユーザが経験により個別に決定する場合もある。ユーザが決定する場合には、負荷容量指定装置 2 2 は、図示しな

い入力手段を介してユーザにより入力された情報に従って入力ピンの当該機能ブロック内の負荷容量を指定する。

【 0 0 7 0 】

例えば、図 3 に示すように、設計が完了していない機能ブロックが表される場合、1 0 1 及び 1 1 1 が入力ピン、1 0 2 及び 1 1 2 が出力ピンとして特定され、図 1 5 に示すように、第 1 の入力ピン 1 0 1 の当該機能ブロック内の負荷容量 1 3 1 に、第 1 の入力ピン 1 0 1 を駆動するセルの駆動能力に基づいた容量が当てはめられ、第 2 の入力ピン 1 1 1 の当該機能ブロック内の負荷容量 1 3 3 に、第 2 の入力ピン 1 1 1 を駆動するセルの駆動能力に基づいた容量が当てはめられる。

【 0 0 7 1 】

出力ピンの当該機能ブロック内の負荷容量には、実施の形態 1 0 の場合と同様に、すべての出力ピンに対して一律に、同じ容量が指定される。

【 0 0 7 2 】

以上のように、この実施の形態 1 1 によれば、設計が完了していない機能ブロックにおける、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間の設定、出力ピンを駆動するセルの指定、並びに入力ピン及び出力ピンの当該機能ブロック内の負荷容量の指定を行い、それらの遅延時間、出力ピンを駆動するセルに関する情報、並びに入力ピン及び出力ピンの負荷容量に関する情報を含んだタイミング情報を生成するので、実施の形態 1 0 の場合と同様の効果が得られる。

【 0 0 7 3 】

実施の形態 1 2 .

この実施の形態では、出力ピンに対して、出力ピン毎に個別に、負荷容量を指定する。

具体的には、この実施の形態では、負荷容量指定装置 2 2 は、論理接続情報 5 から設計が完了していない機能ブロックの入力ピン及び出力ピンを特定し、その出力ピンの当該機能ブロック内の負荷容量として、出力ピン毎に個別に、所定の容量を指定する。

【0074】

負荷容量指定装置22は、例えば、タイミング制約情報6に記述された出力ピンの当該機能ブロック外の負荷容量及び負荷抵抗から期待される出力ピンを駆動するセルの駆動能力に基づいた容量を、出力ピン毎に個別に指定する。期待される出力ピンを駆動するセルの駆動能力が大きければ、大きな容量を指定する。出力ピンの当該機能ブロック内の負荷容量は、ユーザが経験により個別に決定する場合もある。ユーザが決定する場合には、負荷容量指定装置22は、図示しない入力手段によりユーザにより入力された情報に従って出力ピンの当該機能ブロック内の負荷容量を指定する。

【0075】

例えば、図3に示すように、設計が完了していない機能ブロックが表される場合、101及び111が入力ピン、102及び112が出力ピンとして特定され、図15に示すように、第1の出力ピン102の当該機能ブロック内の負荷容量132に、期待される第1の出力ピン101を駆動するセルの駆動能力に基づいた容量が当てはめられ、第2の出力ピン112の当該機能ブロック内の負荷容量134に、期待される第2の入力ピン112を駆動するセルの駆動能力に基づいた容量が当てはめられる。

【0076】

入力ピンの当該機能ブロック内の負荷容量には、実施の形態10の場合と同様に、すべての入力ピンに対して一律に、同じ容量が指定される。

【0077】

以上のように、この実施の形態12によれば、設計が完了していない機能ブロックにおける、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間の設定、出力ピンを駆動するセルの指定、並びに入力ピン及び出力ピンの当該機能ブロック内の負荷容量の指定を行い、それらの遅延時間、出力ピンを駆動するセルに関する情報、並びに入力ピン及び出力ピンの負荷容量に関する情報を含んだタイミング情報を生成するので、実施の形態10の場合と同様の効果が得られる。

【0078】

実施の形態 1 3.

この実施の形態は、実施の形態 1 0 から実施の形態 1 2 を組み合わせた例である。すなわち、ある入力ピン及び出力ピンに対しては、実施の形態 1 0 の場合のように、すべての入力ピン及び出力ピンに対して一律に同じ負荷容量を指定し、別の入力ピンに対しては、実施の形態 1 1 の場合のように、入力ピン毎に個別に負荷容量を指定し、別の出力ピンに対しては、実施の形態 1 2 の場合のように、出力ピン毎に個別に負荷容量を指定する。

このような場合でも、実施の形態 1 0 と同様の効果が得られる。

【0 0 7 9】

なお、上述した実施の形態 1 ～ 6 では、同じ周期のクロック信号を用いる場合について説明したが、異なる周期のクロック信号を用いる場合も同様にして、入力ピンからブロック内入力部順序回路までの遅延時間及びブロック内出力部順序回路から出力ピンまでの遅延時間を設定する。

また、上述した実施の形態 7 ～ 9 では、出力ピンを駆動するセルが組合せ回路である場合について説明したが、出力ピンを駆動するセルが順序回路である場合でも同様にして、出力ピンを駆動するセルを指定する。

上述した各実施の形態のタイミング情報生成装置は、論理設計時、フロアプラン時、レイアウト設計時のそれぞれのタイミング検証実施時に使用される。

【0 0 8 0】

【発明の効果】

以上のように、この発明によれば、論理接続情報とライブラリとを照合して、所定の機能ブロック内に位置し、入力ピンを介してその機能ブロック外に位置するブロック外入力部順序回路との間での情報伝搬に寄与するブロック内入力部順序回路及び出力ピンを介してその機能ブロック外に位置するブロック外出力部順序回路との間での情報伝搬に寄与するブロック内出力部順序回路を特定する入出力情報特定装置と、タイミング制約情報に基づいて、入力ピンからブロック内入力部順序回路までの第 1 の遅延時間及びブロック内出力部順序回路から出力ピンまでの第 2 の遅延時間を設定する遅延時間設定装置と、第 1 及び第 2 の遅延時間を含んだタイミング情報を出力するタイミング情報出力装置とを備えるようにタ

イミング情報生成装置を構成したので、一部の下位の機能ブロックの設計が完了しておらず、その一部の下位の機能ブロックのタイミング検証が行われていない場合でも、上位の機能ブロックのタイミング検証を十分に行なうことを可能とするタイミング情報生成装置が得られるという効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 によるタイミング情報生成装置を示すブロック図である。

【図 2】 図 1 に示すタイミング情報生成装置の動作を示すフローチャートである。

【図 3】 設計が完了していない機能ブロックに関する、論理接続情報とライブラリとの照合結果を表す模式図である。

【図 4】 設計が完了していない機能ブロックに関する、論理接続情報とライブラリとの照合結果に基づいて、ブロック内入力部順序回路及びブロック内出力部順序回路を特定した結果を表す模式図である。

【図 5】 この発明の実施の形態 1 によるタイミング情報生成装置を構成する遅延時間設定装置の動作説明に用いる模式図である。

【図 6】 実施の形態 1 のタイミング情報生成装置を構成する遅延時間設定装置の動作説明に用いる模式図である。

【図 7】 実施の形態 2 のタイミング情報生成装置を構成する遅延時間設定装置の動作説明に用いる模式図である。

【図 8】 実施の形態 3 のタイミング情報生成装置を構成する遅延時間設定装置の動作説明に用いる模式図である。

【図 9】 実施の形態 4 のタイミング情報生成装置を構成する遅延時間設定装置の動作説明に用いる模式図である。

【図 1 0】 実施の形態 5 のタイミング情報生成装置を構成する遅延時間設定装置の動作説明に用いる模式図である。

【図 1 1】 この発明の実施の形態 7 によるタイミング情報生成装置を示すブロック図である。

【図 1 2】 図 1 1 に示すタイミング情報生成装置の動作を示すフローチャ

ートである。

【図 1 3】 この発明の実施の形態 1 0 によるタイミング情報生成装置を示すブロック図である。

【図 1 4】 図 1 3 に示すタイミング情報生成装置の動作を示すフローチャートである。

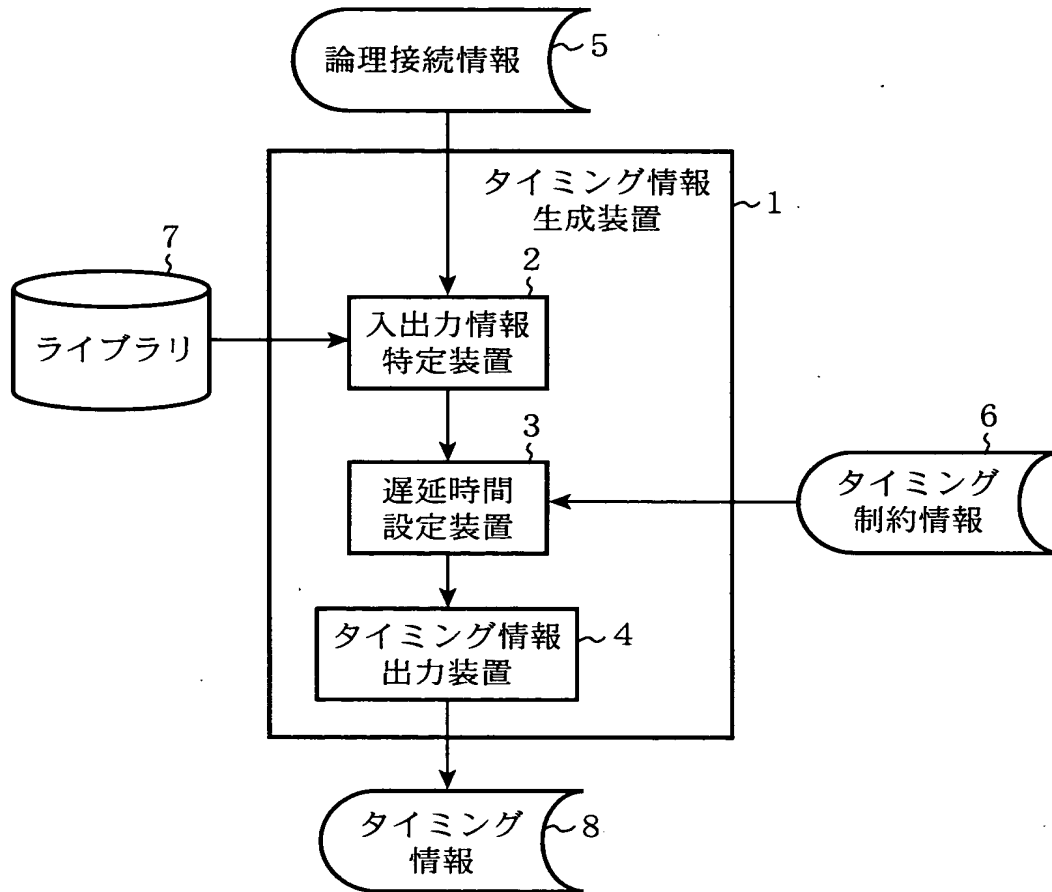
【図 1 5】 タイミング情報生成装置を構成する負荷容量指定装置の動作説明に用いる模式図である。

【符号の説明】

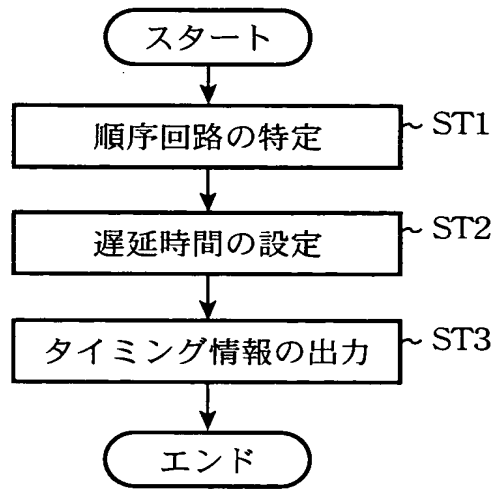
1, 1 1, 2 1 タイミング情報生成装置、2 入出力情報特定装置、3 遅延時間設定装置、4, 1 3, 2 3 タイミング情報出力装置、5 論理接続情報、6 タイミング制約情報、7 ライブラリ、8, 1 4, 2 4 タイミング情報、1 2 駆動セル指定装置、2 2 負荷容量指定装置、1 0 1, 1 1 1 第 1 及び第 2 の入力ピン、1 0 2, 1 1 2 第 1 及び第 2 の出力ピン、1 0 3 ~ 1 0 6, 1 1 3 ~ 1 1 6 組合せ回路部、1 0 7 ~ 1 0 9, 1 1 7 ~ 1 1 9 順序回路、1 2 1, 1 2 3 第 1 及び第 2 のブロック外入力部順序回路、1 2 2, 1 2 4 第 1 及び第 2 のブロック外出力部順序回路、1 3 1 ~ 1 3 4 負荷容量。

【書類名】 図面

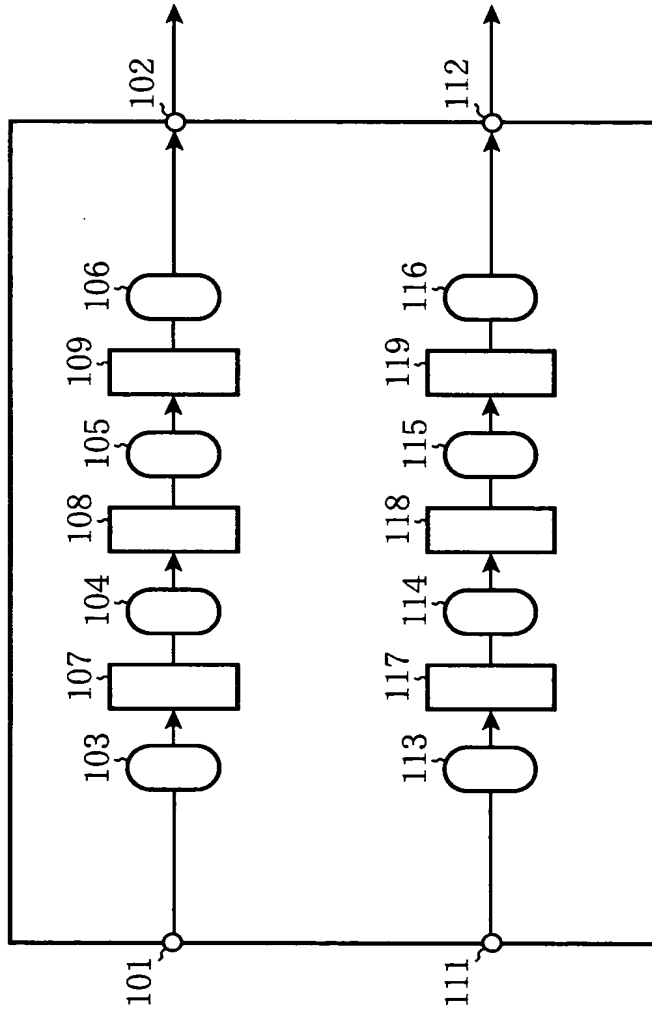
【図 1】



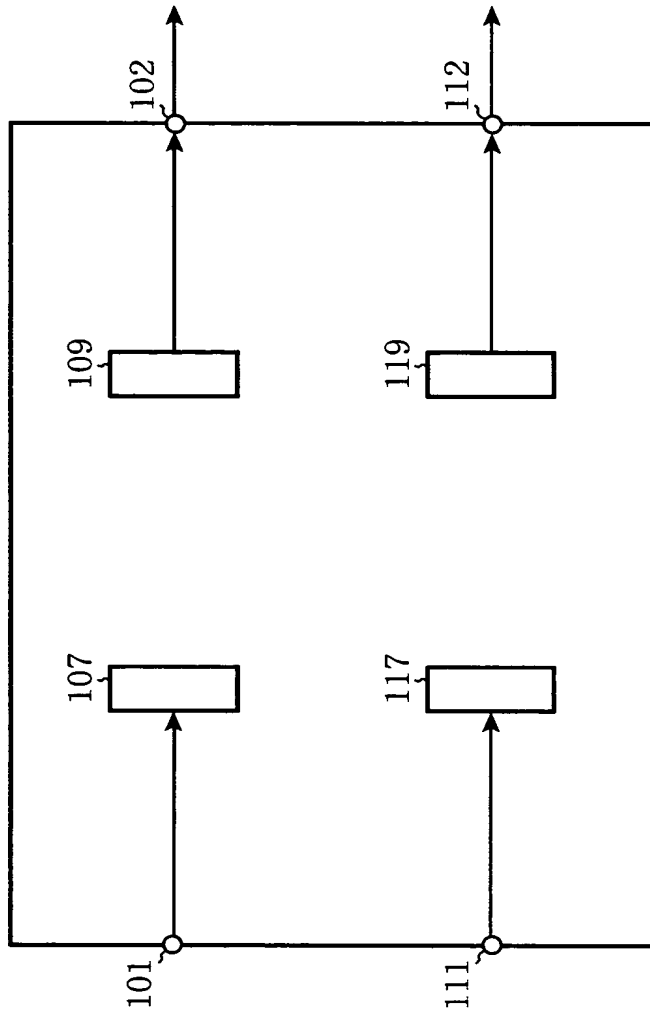
【図 2】



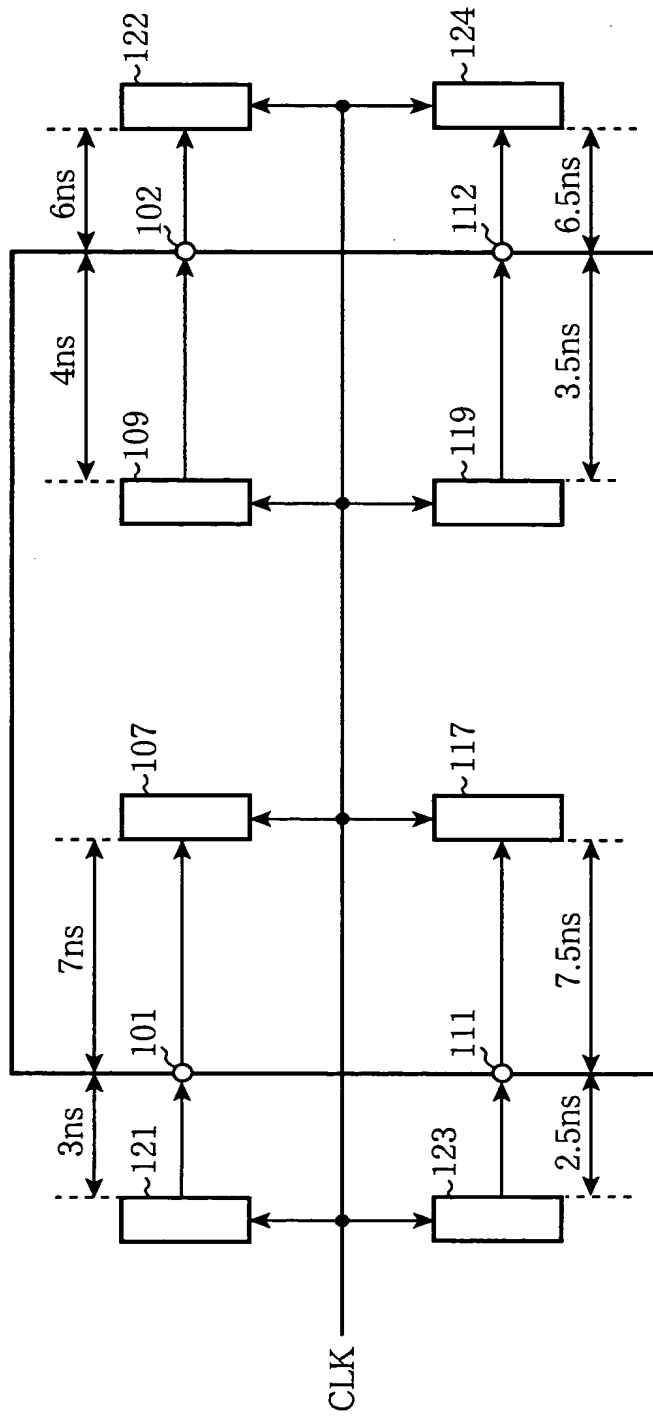
【図 3】



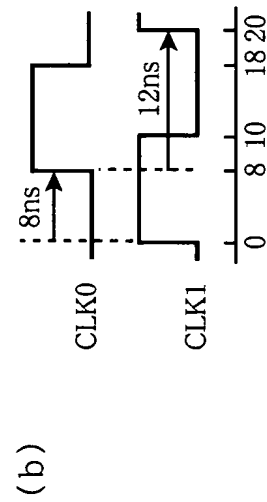
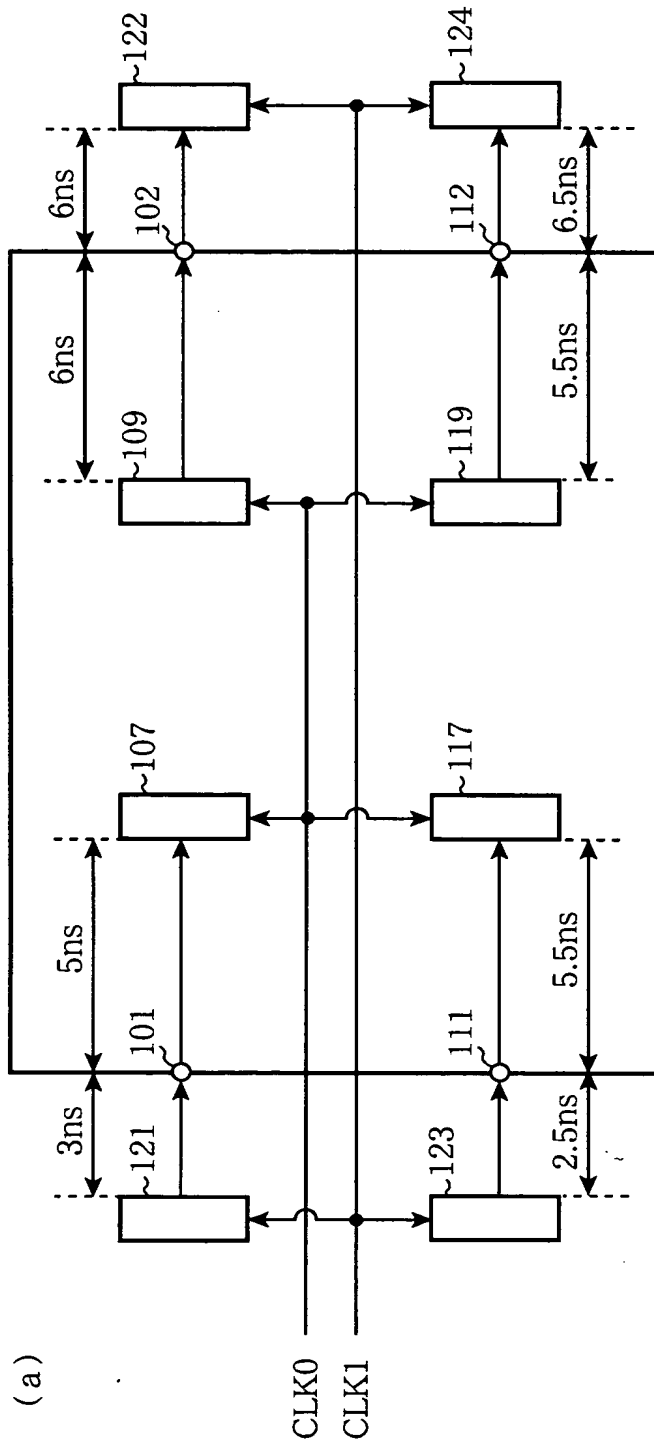
【図 4】



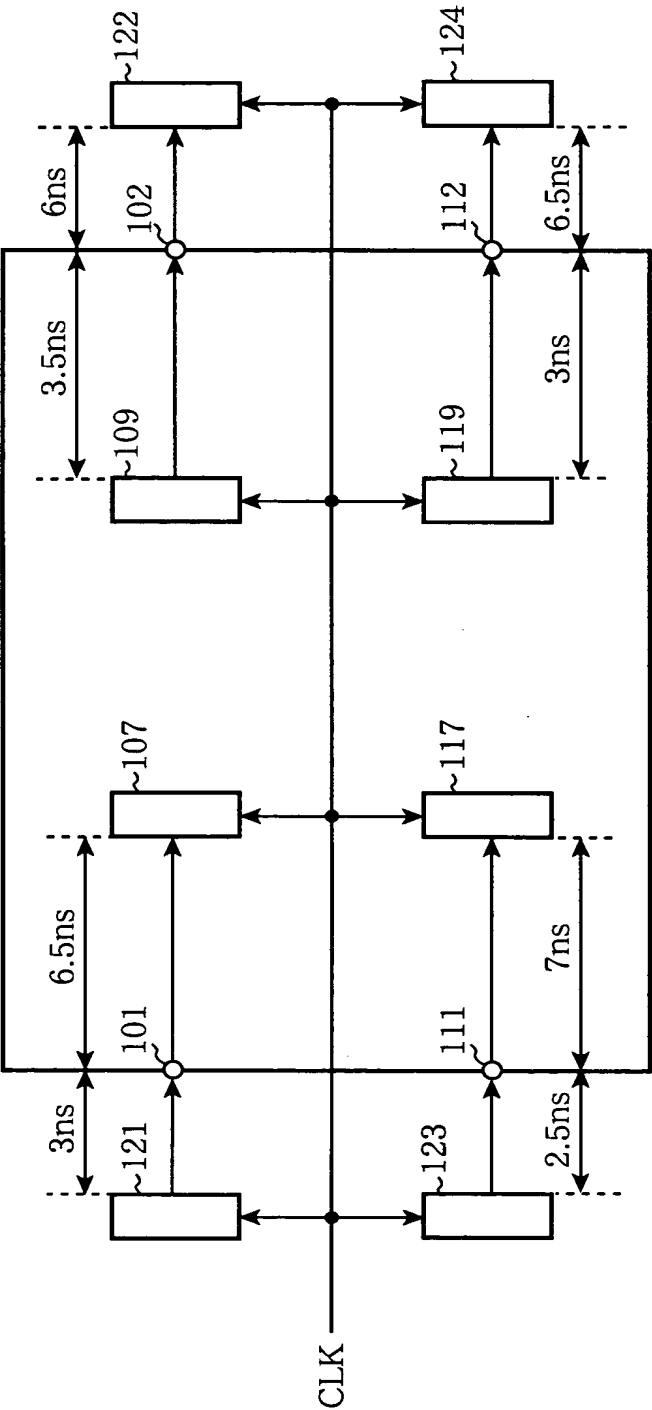
【図 5】



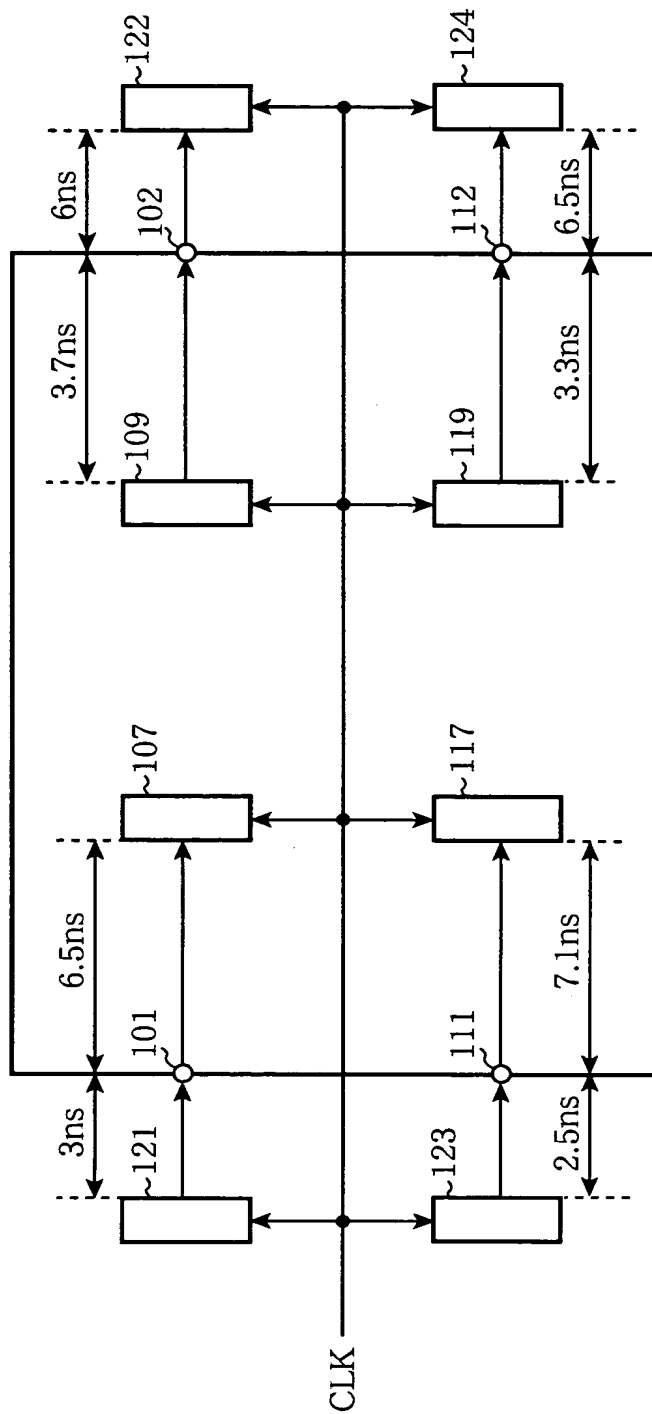
【図 6】



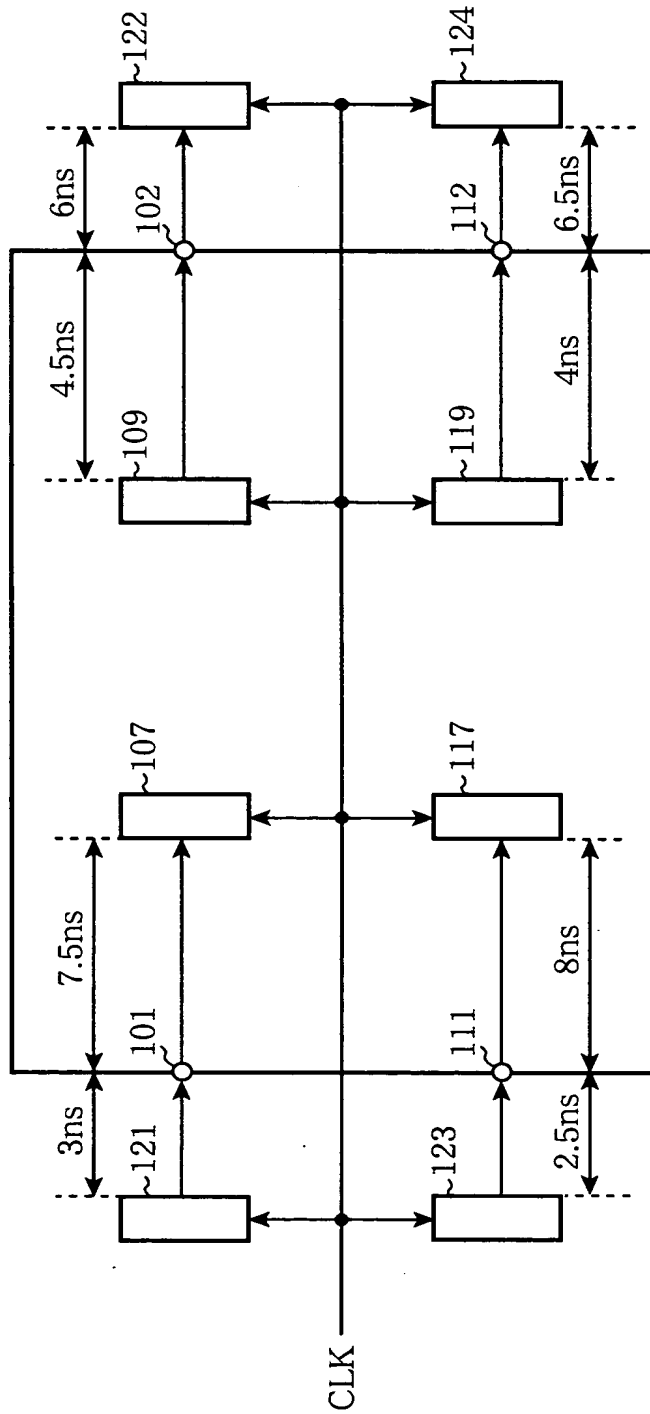
【図 7】



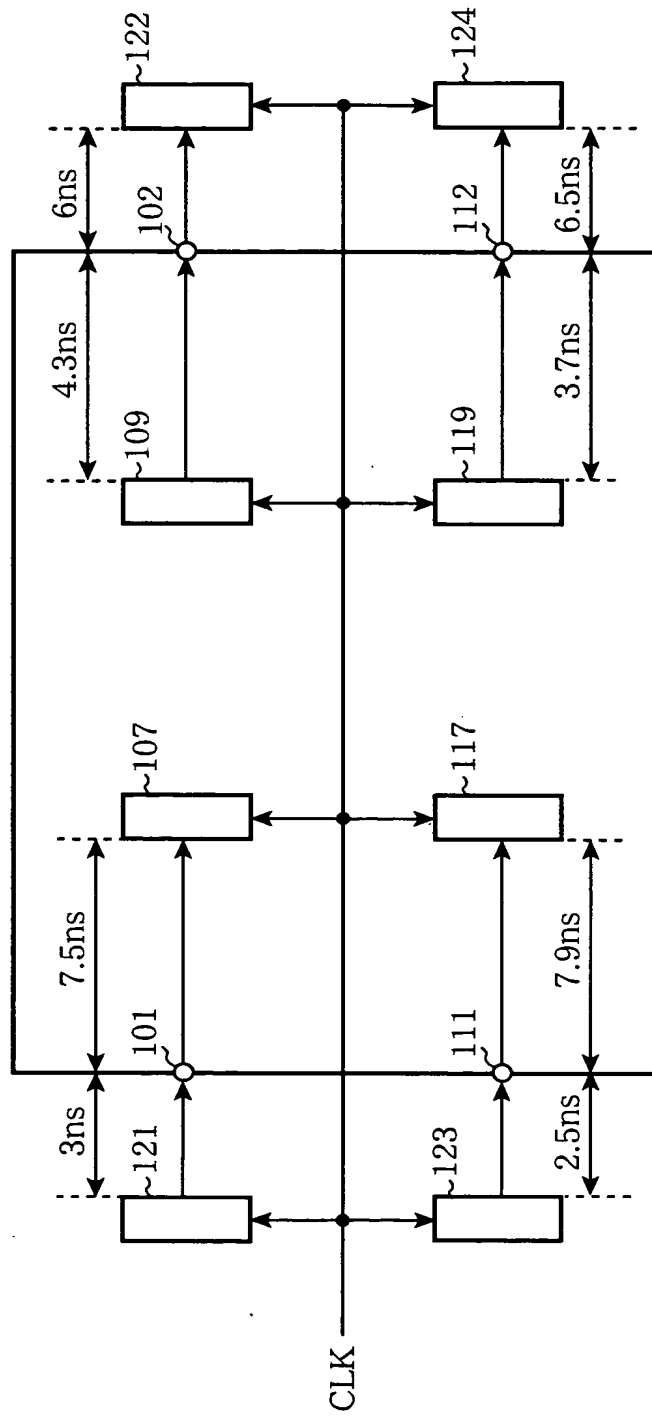
【図 8】



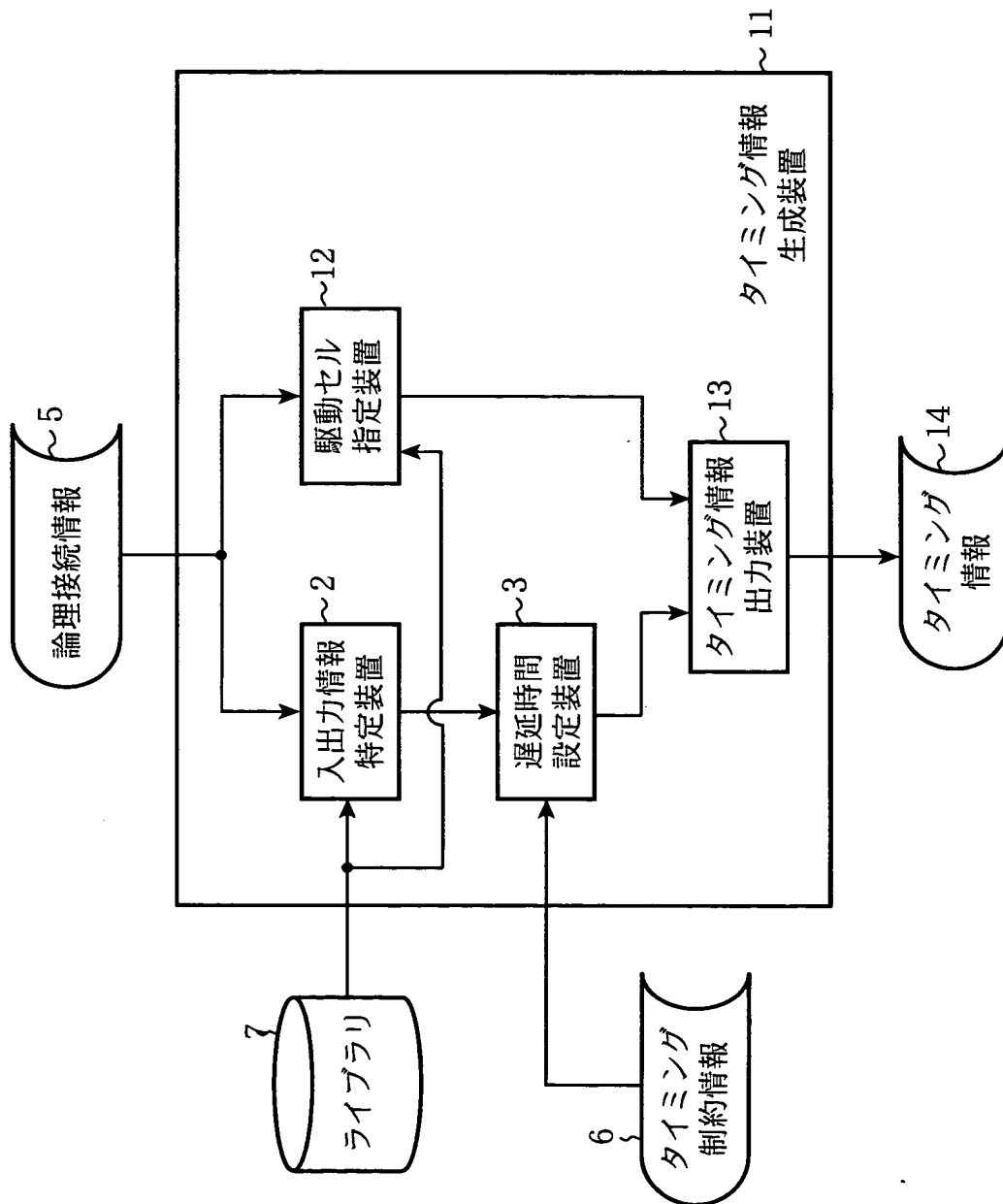
【図 9】



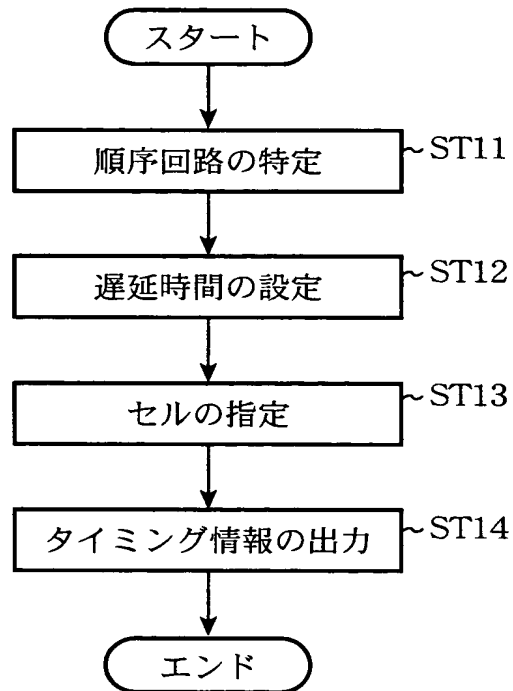
【図 1 0】



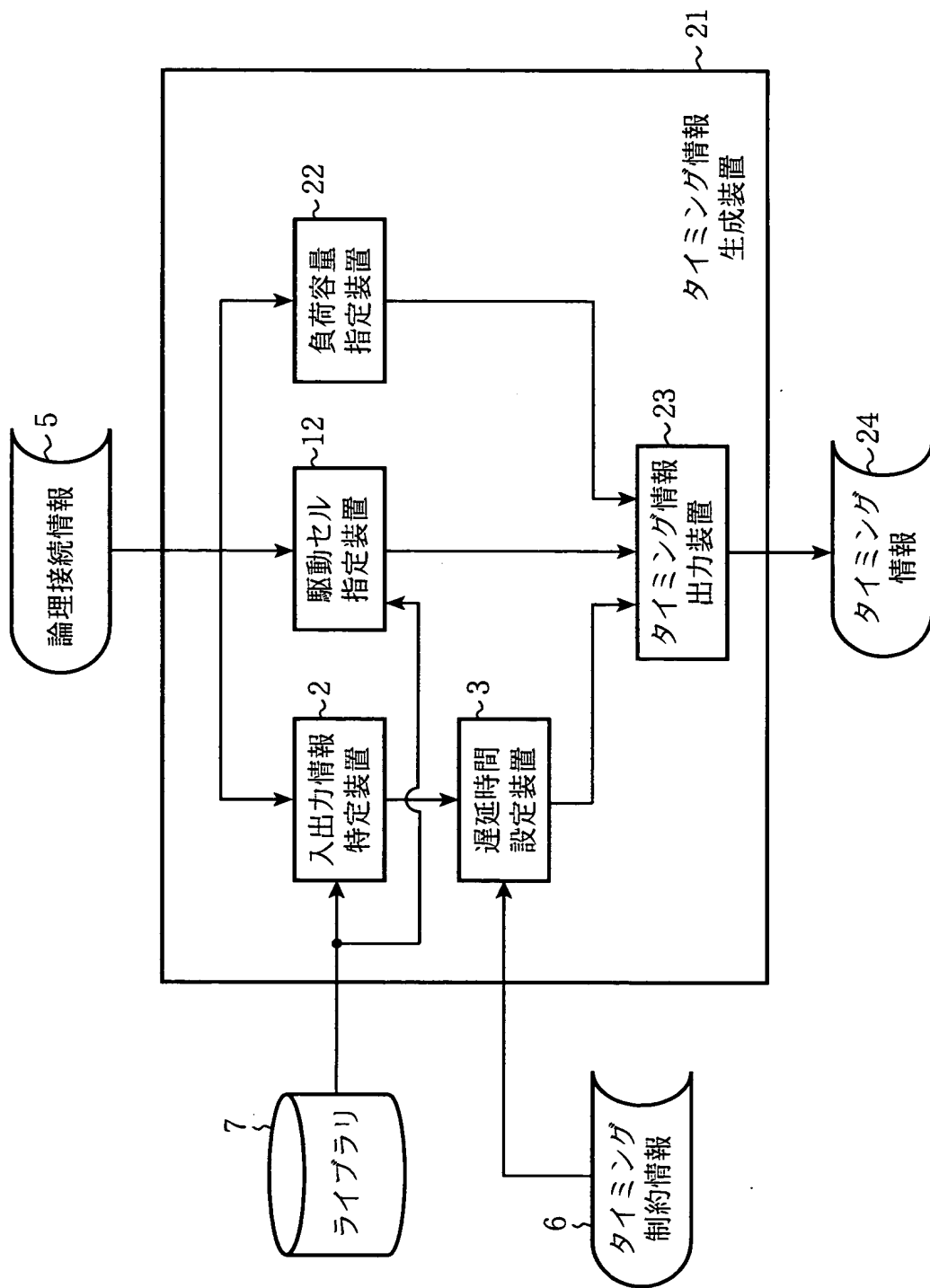
【図 11】



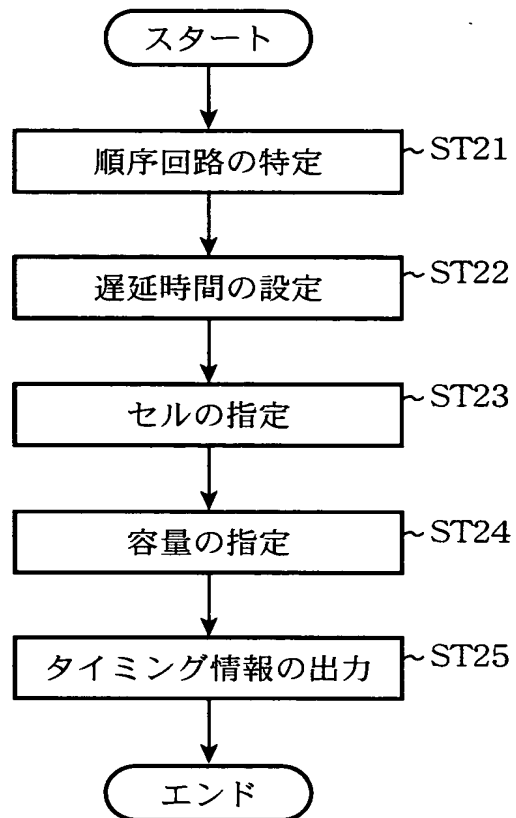
【図 1 2】



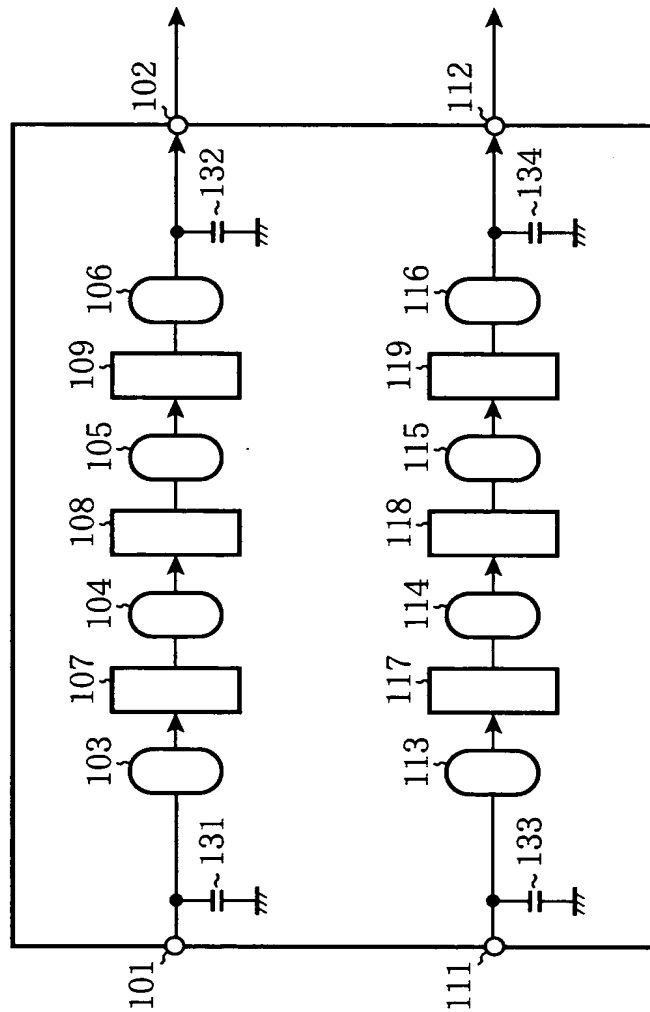
【図 13】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 所定の機能ブロックに関するタイミング情報を生成するタイミング情報生成装置を得る。

【解決手段】 論理接続情報 5 とライブラリ 7 とを照合して、所定の機能ブロック内に位置し、入力ピンを介してその機能ブロック外のブロック外入力部順序回路との間での情報伝搬に寄与するブロック内入力部順序回路及び出力ピンを介してその機能ブロック外のブロック外出力部順序回路との間での情報伝搬に寄与するブロック内出力部順序回路を特定する入出力情報特定装置 2 と、タイミング制約情報 6 に基づいて、入力ピンからブロック内入力部順序回路までの第 1 の遅延時間及びブロック内出力部順序回路から出力ピンまでの第 2 の遅延時間を設定する遅延時間設定装置 3 と、第 1 及び第 2 の遅延時間を含んだタイミング情報 8 を出力するタイミング情報出力装置とを備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日	2003年 4月 1日
[変更理由]	新規登録
住 所	東京都千代田区丸の内二丁目4番1号
氏 名	株式会社ルネサステクノロジ